

PATENT ABSTRACTS OF JAPAN

9

(11)Publication number : 08-079069
 (43)Date of publication of application : 22.03.1996

(51)Int.CI.

H03L 7/099
H03B 5/08

(21)Application number : 06-214742

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.09.1994

(72)Inventor : MORI KAZUHIRO

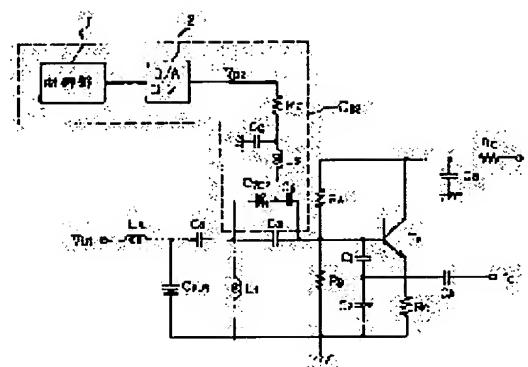
(54) VCO CIRCUIT AND PLL CIRCUIT

(57)Abstract:

PURPOSE: To adjust electrically the relation between a control voltage and an oscillating frequency by connecting a voltage varactor element in parallel with a capacitive element being one component of a clamp circuit.

CONSTITUTION: A capacitor means C32 is connected in parallel with a capacitor C3 of a clamp circuit type voltage controlled oscillator (VCO).

AD/A converter 2 outputs a prescribed DC adjustment voltage VD2 based on data outputted from a control section 1. A capacitor C5 and a variable capacitance diode CVD2 are connected in parallel with the capacitor C3. The relation between a control voltage VD1 and an oscillating frequency f_0 is moved nearly in parallel by changing the adjustment voltage VD2 applied to the variable capacitance diode CVD2. Thus, the dispersion in the relation between the control voltage VD1 and the oscillating frequency f_0 due to dispersion in components of the oscillator is adjusted by the adjustment voltage VD2 applied to the variable capacitance diode CVD2.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79069

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶
H 03 L 7/099
H 03 B 5/08

識別記号 庁内整理番号
A 8321-5 J

F I
H 03 L 7/08

技術表示箇所
F

審査請求 未請求 請求項の数 4 OL (全 8 頁)

(21) 出願番号

特願平6-214742

(22) 出願日

平成6年(1994)9月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 森 和広

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社通信機製作所内

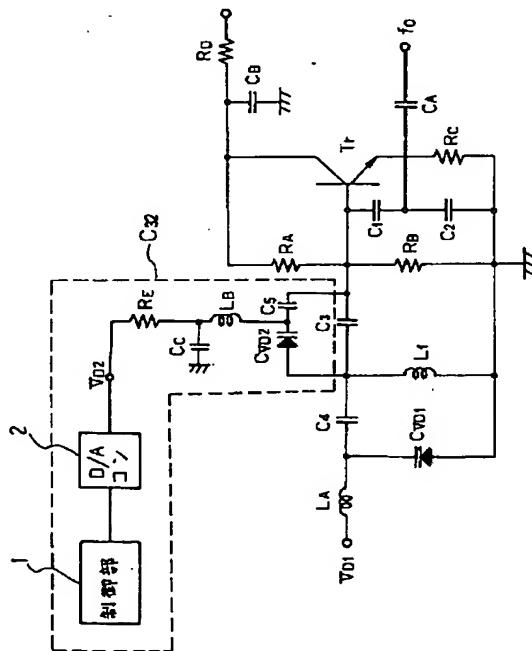
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 VCO回路及びPLL回路

(57) 【要約】

【目的】 VCO回路の制御電圧と発振周波数の関係を電気的に調整できるようにして、VCO回路の製造歩留を向上する。

【構成】 VCO回路の共振子を構成する誘導素子L₁に直列に接続されたコンデンサC₁に電圧可変型容量素子C_{V1}を直列もしくは並列に接続し、電圧可変容量素子C_{V1}の陰極に調整電圧V₁を印加するようにした。



【特許請求の範囲】

【請求項1】 クラップ回路の共振周波数を可変とする第1の電圧可変容量素子を備えたVCO回路において、前記クラップ回路の構成要素の一つである誘導素子と直列に接続された容量素子に直列又は並列に接続され、前記第1の電圧可変容量素子へ印加する制御電圧と前記クラップ回路の共振周波数との関係のばらつきを調整する調整電圧が印加される第2の電圧可変容量素子を具備したことを特徴とするVCO回路。

【請求項2】 第2の電圧可変容量素子に調整電圧を印加する直流電圧発生手段を具備したことを特徴とする請求項第1項に記載のVCO回路。

【請求項3】 請求項第1項に記載のVCO回路と、基準周波数を発信する基準周波数発振器と、前記基準周波数を分周する固定分周器と、前記VCO回路の発振周波数を分周する可変分周器と、この可変分周器により分周された周波数と前記固定分周器により分周された周波数の位相を比較する位相比較器と、この位相比較器の出力を平滑した制御電圧を前記VCO回路の第1の電圧可変容量素子に印加するフィルタと、当該PLL回路本体とは別に設けられた外部制御装置から指示された前記VCO回路が発振すべき周波数と前記フィルタが出力した制御電圧とを比較して前記VCO回路の第2の電圧可変容量素子に印加すべき調整電圧を出力する調整回路を備え、前記VCO回路の発振周波数を前記外部装置から指示された周波数に近づけることを特徴とするPLL回路。

【請求項4】 調整回路は、VCO回路が発振周波数範囲の中間付近の周波数を発振する場合に、フィルタの出力する制御電圧がVCO回路の制御電圧範囲の中間付近となるように調整電圧を出力することを特徴とする請求項第3項に記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、VCO (Voltage Controlled Oscillator) 回路の製造時の周波数調整及びPLL (Phase Locked Loop) 回路に組み込まれたVCO回路の周波数調整に関するものである。

【0002】

*40

$$f_0 = \frac{1}{2\pi\sqrt{L_1 C}}$$

$$\text{ここで } C = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3}} + \frac{1}{\frac{1}{C_4} + \frac{1}{C_{V01}}}$$

【0007】 バリキャップ C_{V01} の容量値は、印加される制御電圧 V_{01} により決まる。すなわち、バリキャップ C_{V01} は印加される逆電圧が大なる時に小なる容量値と

* 【従来の技術】 図11は「高周波回路の設計と実装」(日本放送出版協会)のP144に示されたクラップ回路の原理を説明する回路図である。この回路はコンデンサ C_1, C_2, C_3 、インダクタンス L_1 からなるLC共振回路を構成し、その共振周波数 f_0 はおむね数1で表すことができる。

【0003】

【数1】

$$f_0 = \frac{1}{2\pi\sqrt{L_1 C}}$$

$$\text{ここで } C = \frac{C_1 \cdot C_2 \cdot C_3}{C_1 C_2 + C_2 C_3 + C_3 C_1}$$

【0004】 図12は従来のクラップ回路型の電圧制御型発振器(以下VCOと称す)の回路図である。図において、 R_A, R_B, R_C はトランジスタ T_1 のバイアスを決める抵抗、 C_1, C_2, C_3, C_4 は共振回路を構成するコンデンサ、 C_{V01} はバリキャップダイオードであり、コントロール端子に印加される制御電圧 V_{01} により容量値が変化する。 L_1 は誘導素子であり共振回路の主要構成要素の一つである。 C_A は出力取り出し用のコンデンサであり通常発振周波数 f_0 に対して極めて大きいインピーダンスとなるように設定されている。 C_B は発振周波数に対して十分低インピーダンスとなるように設定されたコンデンサ、 R_B はノイズ低減用の抵抗である。 L_1 はコントロール端子電圧 V_{01} の入力端をハイインピーダンスとするためのコイルである。図12に示すVCOの発振周波数 f_0 は主にコンデンサ C_1, C_2, C_3, C_4 及びバリキャップダイオード C_{V01} と誘導素子 L_1 により決定される。

【0005】 図13は図12の発振に主に寄与する部分を取り出して表現した回路図であり、発振周波数 f_0 はコンデンサ C_1, C_2, C_3, C_4 、バリキャップダイオード C_{V01} 、誘導素子 L_1 の値により生ずる共振周波数できる。図14は図13の共振にかかわる部分を示した回路図である。したがって、図12の発振周波数 f_0 はおむね数2で表すことができる。

【0006】

【数2】

なり、印加される逆電圧が小なる時に大なる容量値となる。従って、発振周波数 f_0 はコントロール端子に印加される制御電圧 V_{01} の値により変化する。

【0008】誘導素子L₁は、発振する周波数、VCOに要求される規格等により、コイル、マイクロストリップライン、誘電体共振子、SAW（表面弹性波）共振子、クリスタル振動子等が使用されるが、いずれの場合も誘導素子L₁は純粹な誘導値ではなく、コイル以外は、直列共振点付近の誘導性となる領域を利用している。

【0009】通常VCOは電源電圧等の理由によりVCOが希望の周波数帯を発振するとき制御電圧V_{o1}が所定の範囲に収まることが要求される。発振周波数f₁と制御電圧V_{o1}との関係を図15に示す。図において、f₁～f₂は希望する発振周波数の範囲を示し、V₁～V₂はこの発振周波数f₁～f₂を発生する時に要求される制御電圧V_{o1}の範囲を示す。すなわち、V_{o1}=V₁の時f₁ < f₁、V_{o1}=V₂の時f₂ > f₂であることが要求される。

【0010】

【発明が解決しようとする課題】従来のVCO回路は以上のように構成されているため、コンデンサC₁、C₂、C₃、C₄、バリキャップダイオードC_{v1}等のばらつきにより、一定の制御電圧V_{o1}の時にVCOの発振周波数がばらつき、図15に示す制御電圧V_{o1}と発振周波数f₁の関係に収るというVCOの性能要求を満たすために、例えば誘導素子L₁がマイクロストリップ線路の場合は、マイクロストリップラインの長さの調整、又は、コンデンサC₁、C₂、C₃、C₄の容量値を変化させる等の物理的な調整作業が必要なため作業時間が長くなり、更にVCOの製造歩留が低い等の問題があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、第1の目的はVCOの制御電圧V_{o1}と発振周波数f₁の関係の調整を電気的に行なえるVCO回路を提供すること、第2の目的はVCO回路をPLL回路に組み込んだ場合に自動的に制御電圧V_{o1}と発振周波数f₁の関係の調整が行なえるPLL回路を提供することを目的としている。

【0012】

【課題を解決するための手段】この発明に係るVCO回路は、クラップ回路の共振周波数を可変とする第1の電圧可変容量素子とを備えたVCO回路において、前記クラップ回路の構成要素の一つである誘導素子と直列に接続された容量素子に直列又は並列に接続され、前記第1の電圧可変容量素子へ印加する制御電圧と前記クラップ回路の共振周波数との関係のばらつきを調整する調整電圧が印加される第2の電圧可変容量素子を具備するようにしたものである。

【0013】また、次の発明に係るVCO回路は、第2の電圧可変容量素子に調整電圧を印加する直流電圧発生手段を備するようにしたものである。

【0014】また、次の発明に係るPLL回路は、請求項第1項に記載のVCO回路と、基準周波数を発信する

基準周波数発振器と、前記基準周波数を分周する固定分周器と、前記VCO回路の発振周波数を分周する可変分周器と、この可変分周器により分周された周波数と前記固定分周器により分周された周波数の位相を比較する位相比較器と、この位相比較器の出力を平滑した制御電圧を前記VCO回路の第1の電圧可変容量素子に印加するフィルタと、当該PLL回路とは別に設けられた外部制御装置から指示された前記VCO回路が発振すべき周波数と前記フィルタが印加した制御電圧とを比較して前記VCO回路の第2の電圧可変容量素子に印加すべき調整電圧を出力する調整回路を備え、前記VCO回路の発振周波数を前記外部装置から指示された周波数に近づけるようにしたものである。

【0015】更に、次の発明に係るPLL回路は、調整回路を、VCO回路の発振周波数範囲の中間付近の周波数を発振する場合に、フィルタの出力する制御電圧がVCO回路の制御電圧範囲の中間付近となるように第2の電圧可変容量素子に印加する調整電圧を出力するようにしたものである。

【0016】

【作用】この発明におけるVCO回路は、クラップ回路の構成要素の一つである誘導素子と直列に接続された容量素子に直列又は並列に接続され、第1の電圧可変容量素子へ印加する制御電圧とクラップ回路の共振周波数との関係のばらつきを調整する調整電圧が印加される第2の電圧可変容量素子を具備するようにしたので、第2の電圧可変容量素子に印加される調整電圧により、第1の電圧可変容量素子へ印加する制御電圧が変化する。

【0017】また、次の発明におけるVCO回路は、直流電圧発生手段が印加する調整電圧により、第1の電圧可変容量素子へ印加する制御電圧とクラップ回路の共振周波数との関係のばらつきを調整する。

【0018】また、次の発明におけるPLL回路は、外部制御装置から指示されたVCO回路が発振すべき周波数とフィルタが平滑して出力した制御電圧とを比較してVCO回路の第2の電圧可変容量素子に印加すべき調整電圧を出力する調整回路を備えたので、調整回路が印加する調整電圧によりVCO回路の発振周波数は外部装置から指示された周波数に近づくようになる。

【0019】更に、次の発明におけるPLL回路は、調整回路が、VCO回路の発振周波数範囲の中間付近の周波数を発振する場合に、フィルタの出力する制御電圧がVCO回路の制御電圧範囲の中間付近となるように第2の電圧可変容量素子に印加する調整電圧を出力する。

【0020】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1はこの実施例のVCO回路を示す。図1は、図12のコンデンサC₁に容量調整手段C₁₁を並列に接続したものである。容量調整手段C₁₁は、制御部1より

出力されるデータにより所定の直流の調整電圧 V_{o1} を出力する D/A コンバータ 2、D/A コンバータ 2 の出力ノイズを低減するための抵抗 R_e 、コンデンサ C_c により構成された直流電源、この直流電源をコンデンサ C_3 に並列につながれたコンデンサ C_3 、及び上記直流電源とバリキャップダイオード C_{VD2} の可変容量部をインピーダンス的に分離するためのコイル L_1 より成る。*

$$f_o = \frac{1}{2\pi\sqrt{L_1 C}}$$

$$\text{ここで } C = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3 + C_{32}}} + \frac{1}{\frac{1}{C_4} + \frac{1}{C_{VD1}}} \\ C_{32} = \frac{1}{\frac{1}{C_5} + \frac{1}{C_{VD2}}}$$

【0023】数3において、制御電圧 V_{o1} を固定して調整電圧 V_{o2} のみを変化すると f_o の変化は、図4のようになる。

【0024】ここで、調整電圧 V_{o2} の値を V_A 、 V_B 、 V_C とした時のバリキャップダイオード C_{VD2} の値を C_{VD2A} 、 C_{VD2B} 、 C_{VD2C} 、数3に示す C の値を C_A 、 C_B 、 C_C 、この時の発振周波数 f_o の値を f_{oA} 、 f_{oB} 、 f_{oC} とすると、 $V_A > V_B > V_C$ ならば $C_{VD2A} < C_{VD2B} < C_{VD2C}$ となるから $C_A < C_B < C_C$ となり、調整電圧 V_{o2} の値 V_A 、 V_B 、 V_C に対応する発振周波数は $f_{oA} > f_{oB} > f_{oC}$ となる。したがって、調整電圧 V_A 、 V_B 、 V_C をパラメータとして制御電圧 V_{o1} を変化させると、制御電圧 V_{o1} と発振周波数 f_o の関係は図5のようになる。すなわち、図3に示すクラップ回路型 VCO 回路の $C_1 \sim C_3$ に並列にバリキャップダイオード C_{VD2} を接続し、このバリキャップダイオード C_{VD2} に印加する調整電圧 V_{o2} を変化すると、制御電圧 V_{o1} と発振周波数 f_o の関係は図5に示すようにほぼ平行移動する。

【0025】上述のように VCO 回路を構成すると、発振部分を構成する部品のばらつきによる制御電圧 V_{o1} と発振周波数 f_o の関係のばらつきをバリキャップダイオード C_{VD2} に印加する調整電圧 V_{o2} により調整することが出来る。例えば図6で VCO に要求される性能が $V_{o1} = V_L$ のとき $f_o < f_L$ 、 $V_{o1} = V_H$ のとき $f_o > f_H$ なるとき曲線4を目標として設計を行ったが部品ばらつきにより要求仕様を満たさない曲線4、5の VCO が出来た時、曲線4の場合 V_{o2} を大きくすれば曲線3に近づき、曲線5の場合 V_{o2} を小さくすれば曲線3に近づく。 V_{o2} は、制御部1より D/A コンバータ 2 に入力されるデータにより決定されるので、物理的な作業による周波数調整を行なわずに、ソフトウェアの変更のみで周波数調整が行なえる。このとき調整後の D/A コンバータ 2

* 【0021】また、図1の回路の発振に主に寄与する部分を取り出すと図2のようになる。更に、図2の共振回路のみを取り出すと図3のようになる。したがって、図1の VCO 回路の発振周波数 f_o はおおむね数3で表すことができる。

【0022】

【数3】

の入力データは、当然制御部内メモリに記憶されていなければならない。

【0026】また、VCO回路を上述の構成とすることにより調整電圧 V_{o1} を変化すると制御電圧 V_{o1} と発振周波数 f_o がほぼ平行移動するので、VCO回路の制御が容易となり、自動制御を行う場合に、発振周波数 f_o の収束時間が変化しない等の効果がある。

【0027】実施例2。次に、バリキャップダイオード C_{VD2} をコンデンサ C_3 に直列に接続した実施例について説明する。図7にこの実施例の VCO 回路を示す。図において、 C_{VD2} はバリキャップダイオードでコンデンサ C_3 に直列に接続され、調整電圧 V_{o2} はバリキャップ C_{VD2} とコンデンサ C_3 の間に印加されている。この構成において、調整電圧 V_{o1} を変えることにより、バリキャップ C_{VD2} の値が変化し、共振回路の容量値が変るので、実施例1の場合と同様に制御電圧 V_{o1} と発振周波数 f_o の関係を図5のよう平行移動することができ、同様の効果を奏する。また、この実施例ではバリキャップ C_{VD2} をコンデンサ C_3 に直列に接続したので図1に示すコンデンサ C_3 が不要となり、コンデンサの個数を減ずることができる。

【0028】実施例3。実施例1及び実施例2では VCO 回路に制御部1及び D/A コンバータ 2 を備えたものについて説明したが、この実施例ではこれらの部分を取り去ったものについて説明する。図8はこの実施例の一例を示す VCO 回路図である。図8は図7から制御部1、D/A コンバータ 2 及び抵抗 R_e を取り去ったものであり、6は制御電圧 V_{o1} を印加するコントロール端子、7は調整電圧 V_{o2} を印加する調整端子である。この VCO 回路ではこの回路のライン試験時に制御電圧 V_{o1} と発振周波数 f_o の関係を確認し、この関係が所定のものとなる調整電圧 V_{o2} を求めておき、VCO にその調整

電圧 V_{o_3} の値を表示し、VCOを他の機器に組込む時点で、他の電源から表示された調整電圧 V_{o_3} を印加するようとしても、VCOは所要の性能を発揮することができる。

【0029】実施例4. 実施例1及び実施例2ではコンデンサ C_1 にバリキャップダイオード $C_{v_{o_2}}$ を直列又は並列に接続した例について説明したが、クラップ回路形VCOは図13及び図14のように示すことができるものであるので、図14に示す誘導素子 L_1 に直列に接続されたコンデンサ C_1 又はコンデンサ C_2 にバリキャップダイオード $C_{v_{o_2}}$ を直列又は並列に接続し、実施例1、2及び3と同様の調整をすることが可能である。図9はこの実施例のVCO回路図の一例を示すもので、図中、図8と同一符号は同一又は相当部分を示す。図において、バリキャップダイオード $C_{v_{o_2}}$ はコンデンサ C_1 に直列に接続され、バリキャップダイオード $C_{v_{o_2}}$ とコンデンサ C_1 の間に調整端子8より調整電圧 V_{o_3} が印加され、制御電圧 V_{o_1} と発振周波数 f_o との関係が調整されるようになっている。図9の構成はバリキャップダイオード $C_{v_{o_2}}$ をコンデンサ C_1 に直列に接続した例を示したが、コンデンサ C_1 、コンデンサ C_2 にバリキャップダイオード $C_{v_{o_2}}$ を直接又は並列に接続しても実施例1～3と同様な効果を奏する。

【0030】尚、実施例1、2、3、4は何れもクラップ回路形のVCO回路に対してのものであるが、LC共振子を有するVCO回路の共振子の構成要素である任意のコンデンサに、電圧可変型容量素子を直列もしくは並列に備え、前記電圧可変型容量素子に一定の直流電圧を印加することにより、実施例1、2、3、4と同様に周波数の調整を行うことができる。

【0031】実施例5. 次に、この発明のVCO回路を備えたPLL回路の一実施例を説明する。図10は、この発明のVCO回路を備えたPLL回路の構成図である。図において、10は基準周波数 f_o を出力する発振器TCXO、11は固定分周器、12は位相比較器F D、13は例えば図8に示したVCO回路、14はVCO回路13の発振周波数 f_o を $1/N$ に分周するプログラマブル分周器、15は位相比較器12の出力電圧を平滑し制御電圧 V_{o_1} を出力するローパスフィルタLPF、16は当該PLL回路とは別に設けられて制御電圧 V_{o_1} をアナログ・デジタル変換するA/D変換器、17は当該PLL回路とは別に設けられてCPU18に発振周波数 f_o を出力するように指令する制御部、19はVCO回路13の制御電圧 V_{o_2} と発振周波数 f_o の関係が所定の関係となる調整電圧 V_{o_2} のデジタル値を記憶したメモリー、20はメモリー19に記憶された調整電圧 V_{o_2} をデジタル・アナログ変換するD/A変換器であり、調整電圧 V_{o_2} を出力する調整回路はCPU18、メモリー19及びD/A変換器20から構成されている。

【0032】次に、動作について説明する。発振器10

から出力された基準波 f_o は固定分周器11で分周され f_o となり位相比較器12に入力される。VCO回路13の発振周波数 f_o はプログラマブル分周器14で $1/N$ に分周され f_o となり位相比較器12に入力される。 f_o と f_o は位相比較器12にて位相比較され位相差に応じたパルスが出力され ($f_o > f_o$ のとき正電圧、 $f_o < f_o$ のときGND電圧、 $f_o = f_o$ のときOPE N) ローパスフィルタ15にて平滑され制御電圧 V_{o_1} がVCO回路13の図8に示すコントロール端子6に印加される。ここで、 V_{o_1} が大なるとき f_o は大となり V_{o_1} が小なるとき f_o は小となる。このように構成された系は、系が安定したとき $f_o = N \times f_o$ の関係になる。

【0033】ここでPLL回路がPLLシンセサイザーとして例えば、図15に示すように、発振周波数 f_o の領域 $f_L \sim f_H$ と制御電圧 V_{o_1} の範囲 $V_L \sim V_H$ が、 $V_{o_1} = V_L$ のとき $f_o < f_L$ 、 $V_{o_1} = V_H$ のとき $f_o > f_H$ の性能が要求されるとする。このときVCO回路13に指令された発振周波数 f_o を f_L と f_H の中間近辺の周波数、 $V_H = (V_L + V_H) / 2$ とすると、ここで制御部17よりCPU18に対し発振周波数 f_o を発振するように命令を出すとともに、A/D変換器16より制御部17にフィードバックされた制御電圧 V_{o_1} を出力する。次に、CPU18は $V_{o_1} > V_H$ のときは、調整電圧 V_{o_2} を大きく、 $V_{o_1} < V_H$ のときは、調整電圧 V_{o_2} を小さくするようにして制御電圧 V_{o_1} が V_H の近く ($V_H - \Delta V < V_{o_1} < V_H + \Delta V$) になるようにし、そのときのD/A変換器20のデジタル値をメモリ19内に常駐させる。このようにして調整電圧 V_{o_2} の値を一定にならしめた場合、発振周波数 f_o の領域 $f_L \sim f_H$ と制御電圧 V_{o_1} の範囲 $V_L \sim V_H$ の関係が互いに中間近辺の値を基準に設定され、VCO回路13は制御電圧 V_{o_1} に対して所定の周波数 f_o を発振するようになるので、上記性能要求に対しVCO回路13の製造歩留が最も良くなると共に、PLL回路の要求性能をも満足することができる。

【0034】上述したように、外部装置として、専用の制御部17及びA/D変換器16を設け、PLL回路が備えるCPU18に制御部17より指示された発振周波数 f_o に対して制御電圧 V_{o_1} が V_H に近づくような調整電圧 V_{o_2} を出力する調整用のソフトウェアを用意しておきにより、制御電圧 V_{o_1} と発振周波数 f_o の関係を容易に調整することができる。

【0035】

【発明の効果】以上のように、この発明によれば、VCO回路を、クラップ回路の構成要素の一つである誘導素子と直列に接続された容量素子に直列又は並列に接続され、第1の電圧可変容量素子へ印加する制御電圧とクラップ回路の共振周波数との関係のばらつきを調整する調整電圧が印加される第2の電圧可変容量素子を具備するようにしたので、第2の電圧可変容量素子に印加される

調整電圧により、第1の電圧可変容量素子へ印加する制御電圧を電気的に調整することが可能となり、クラップ回路を構成する素子の調整又は交換などの作業を廃止できると共に、VCO回路の製造歩留を向上することができる効果がある。

【0036】また、次の発明によれば、VCO回路を、直流電圧発生手段が出力する調整電圧により、第1の電圧可変容量素子へ印加する制御電圧とクラップ回路の共振周波数との関係のはらつきを調整するようになると、第1の電圧可変容量素子へ印加する制御電圧のクラップ回路の共振周波数との関係のはらつきを事前調整できる効果がある。

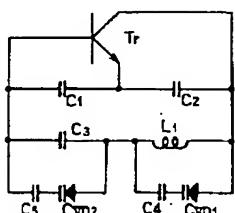
【0037】また、次の発明によれば、PLL回路を、外部制御装置から指示されたVCO回路が発振すべき周波数とフィルタが平滑して出力した制御電圧とを比較してVCO回路の第2の電圧可変容量素子に印加すべき調整電圧を出力する調整回路を備えたので、調整回路が出力する調整電圧によりVCO回路の発振周波数は外部装置から指示された周波数に近づくようになると、PLL回路はVCO回路の制御電圧が所定値に納まるように第2の電圧可変容量素子に印加する調整電圧を出力するようになり、VCO回路の制御電圧とクラップ回路の共振周波数との関係のばらつきを自動的に調整するので、調整作業が短縮できると共に、VCO回路の製造歩留を向上することができる効果がある。

【0038】更に、次の発明によれば、PLL回路を、調整回路が、VCO回路の発振周波数範囲の中間付近の周波数を発振する場合に、フィルタの出力する制御電圧がVCO回路の制御電圧範囲の中間付近となるよう第2の電圧可変容量素子に印加する調整電圧を出力するようになると、更に、VCO回路の製造歩留を向上することができる効果がある。

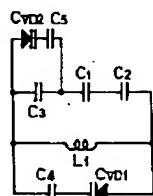
【図面の簡単な説明】

*

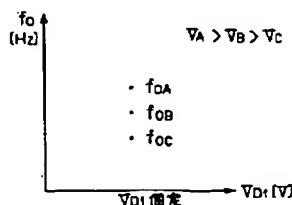
〔图2〕



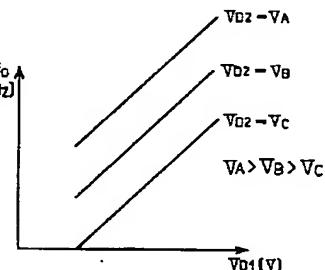
[図3]



[図4]

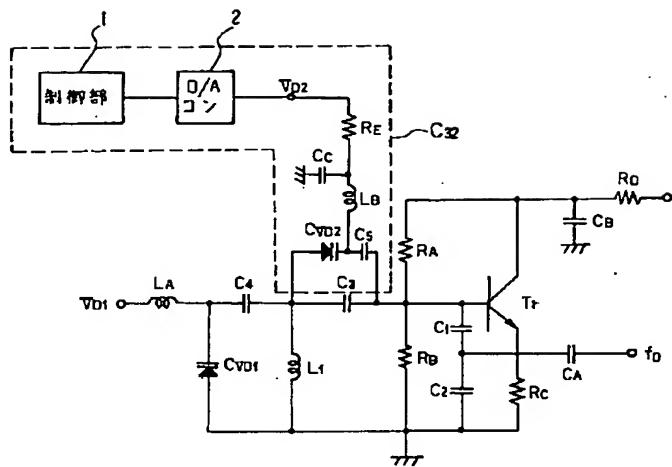


〔図5〕

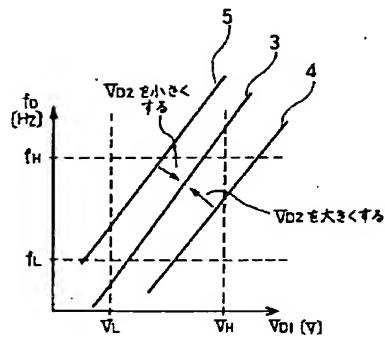


- * 【図 1】この発明の実施例 1 の VCO 回路図である。
- 【図 2】この発明の実施例 1 の VCO 回路の発振部分を示す等価回路図である。
- 【図 3】この発明の実施例 1 の VCO 回路の共振回路部分を示す回路図である。
- 【図 4】この発明の実施例 1 の VCO 回路の調整電圧と発振周波数の関係を示す説明図である。
- 【図 5】この発明の実施例 1 の VCO 回路の調整電圧に対する制御電圧と発振周波数の関係を示す説明図。
- 10 【図 6】この発明の実施例 1 の VCO 回路の調整電圧に対する制御電圧と発振周波数の関係の調整方法を示す説明図。
- 【図 7】この発明の実施例 2 の VCO 回路図である。
- 【図 8】この発明の実施例 3 の VCO 回路図である。
- 【図 9】この発明の実施例 4 の VCO 回路図である。
- 【図 10】この発明の実施例 6 の PLL 回路図である。
- 【図 11】この発明及び従来の VCO 回路を説明するグラフ回路図である。
- 【図 12】従来の VCO 回路図である。
- 20 【図 13】従来の VCO 回路の発振部分を示す等価回路図である。
- 【図 14】従来の VCO 回路の共振部分を示す等価回路図である。
- 【図 15】この発明及び従来の VCO 回路の制御電圧と発振周波数の関係を示す説明図である。
- 【符号の説明】
- 1 制御部、2 D/A コンバータ、10 発振器、11 固定分周器、12 位相比較器、13 VCO 回路、14 プログラマブル分周器、15 ローパスフィルタ、16 A/D 変換器、17 制御部、18 CPU、19 メモリー、20 D/A 変換器、C₁ ~ C₄、コンデンサ、C_{VCO}、バリキャップダイオード、L₁、誘導性素子、V_{DD}、制御電圧、V_{CO}、調整電圧。

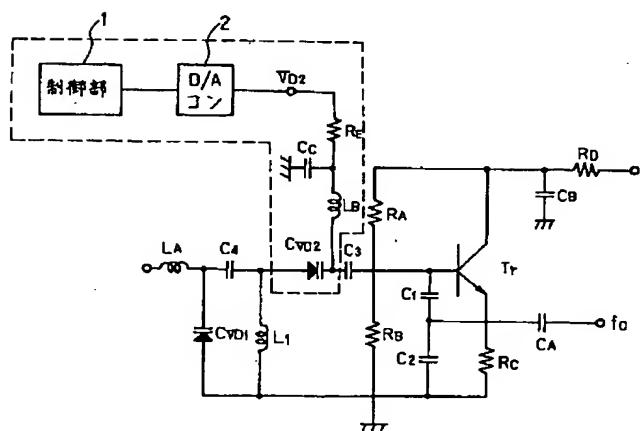
【図1】



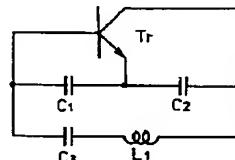
【図6】



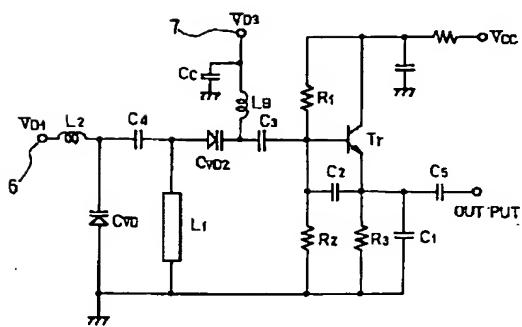
【図7】



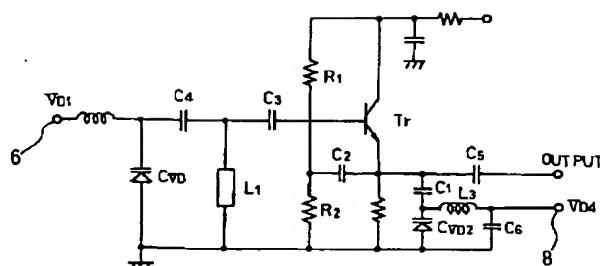
【図11】



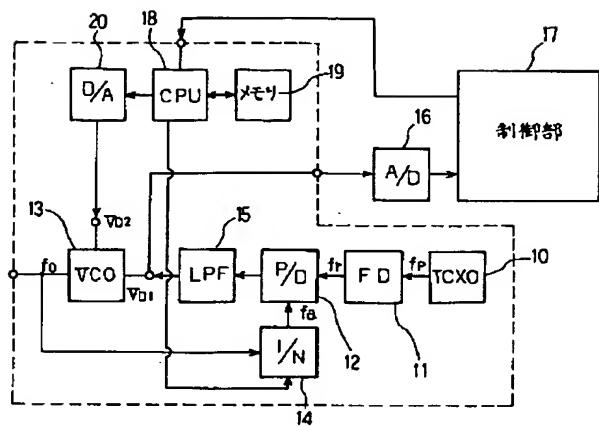
【図8】



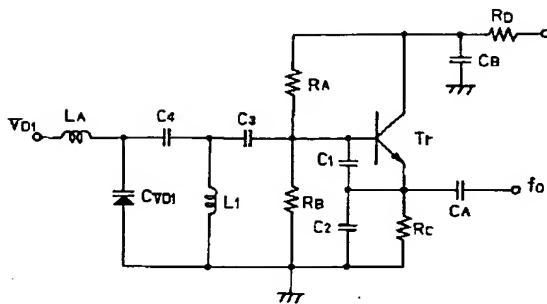
【図9】



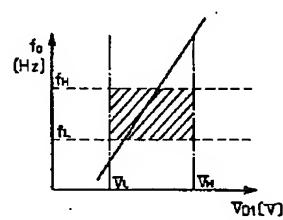
【図10】



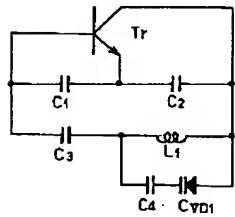
【図12】



【図15】



【図13】



【図14】

